

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003538551

WPI Acc No: 1982-86544E/198241

Mfg. matrix display panel having gate electrode - made of metal silicide
film on base

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 57141684	A	19820902				198241 B

Priority Applications (No Type Date): JP 8127718 A 19810226

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 57141684	A	2		

Title Terms: MANUFACTURE; MATRIX; DISPLAY; PANEL; GATE; ELECTRODE; MADE;
METAL; SILICIDE; FILM; BASE

Derwent Class: L03; P81; P85

International Patent Class (Additional): G02F-001/13; G09F-009/30

File Segment: CPI; EngPI

Concise of Statement: JP57-141684

A matrix display panel is manufactured by providing a gate electrode comprising a silicide thin film over a heat resistance substrate; thermal oxidizing said the silicide gate electrode thereby forming a silicon dioxide film on a surface thereof; forming a semiconductor film so as to cover at least a portion of said gate electrode covered with the silicon dioxide film; forming source and drain electrodes so as to cover at least a multi-layered film consist of the thermal oxidized film and the semiconductor film; thereby forming a substrate having a thin film transistor array in which the silicon dioxide film is used as a gate insulating film and the silicide thin film is used as the gate electrode; and providing a display element between a surface of an electrode in a transparent substrate having a transparent conductive electrode and the surface of the electrode in the substrate having the thin film transistor array.

⑫ Int. Cl.³
G 09 F 9/30
G 02 F 1/133

識別記号

庁内整理番号
7520-5C
7348-2H

⑬ 公開 昭和57年(1982)9月2日

発明の数 2
審査請求 未請求

(全 6 頁)

⑭ マトリクス表示パネルの製造法

⑮ 特 願 昭56-27718

⑯ 出 願 昭56(1981)2月26日

⑰ 発 明 者 太田勲夫
門真市大字門真1006番地松下電
器産業株式会社内

⑱ 発 明 者 竹田守

門真市大字門真1006番地松下電
器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地

⑳ 代 理 人 弁理士 森本義弘

明 細 書

1. 発明の名称

マトリクス表示パネルの製造法

2. 特許請求の範囲

1. 耐熱性基板上にシリサイド薄膜よりなるゲート電極を設け、該シリサイドゲート電極を熱酸化することにより表面に二酸化シリコン膜を形成し、次に上記二酸化シリコン膜で覆われたゲート電極の少なくとも一部を覆うように半導体膜を形成し、次いで上記熱酸化二酸化シリコン膜と半導体膜よりなる積層の少なくとも一部を覆うようにソース及びドレイン電極を設けることにより上記二酸化シリコン膜をゲート絶縁膜としかつシリサイド薄膜をゲート電極とする薄膜トランジスタアレーを有するアレー付き基板を構成し、一方一様な透明電極を有する透明基板の電極面と上記アレー付き基板の電極面との間に表示媒体をはさみ込むことを特徴とするマトリクス表示パネルの製造法。

2. 耐熱性基板はアルミナ、ベリリヤ等のセラミックであることを特徴とする特許請求の範囲第1項記載のマトリクス表示パネルの製造法。

3. セラミックは二酸化シリコンの表面被覆を有するものであることを特徴とする特許請求の範囲第2項記載のマトリクス表示パネルの製造法。

4. シリサイドはチタンシリサイド ($TiSi_2$)、タンタルシリサイド ($TaSi_2$)、モリブデンシリサイド ($MoSi_2$)、タングステンシリサイド (WSi_2) より選ばれたものであることを特徴とする特許請求の範囲第1項記載のマトリクス表示パネルの製造法。

5. 薄膜トランジスタアレー形成と同時に陰素並列容量を形成することを特徴とする特許請求の範囲第1項記載のマトリクス表示パネルの製造法。

6. 薄膜トランジスタを保護するための保護膜を形成したのち、表示媒体をはさみ込むこと

を特徴とする特許請求の範囲第1項記載のマトリクス^{表示}パネルの製造法。

7. 薄膜トランジスタを透光するための透光層を形成したのち、表示媒体をはさみ込むことを特徴とする特許請求の範囲第1項記載のマトリクス^{表示}パネルの製造法。
8. 耐熱性基板上にシリサイド薄膜を設け、上記シリサイド薄膜を熱酸化して表面を二酸化シリコン薄膜に変え、つぎにフォトリソグラフィにより上記二酸化シリコン膜およびシリサイド膜をゲート電極形状にパターン化し、上記二酸化シリコン膜で覆われたゲート電極の少なくとも一部を覆うように半導体膜を形成し、ついで上記半導体膜および二酸化シリコン膜で覆われたゲート電極の少なくとも一部を覆うようにソースおよびドレイン電極を設けることにより上記二酸化シリコン膜をゲート絶縁膜としかつシリサイド薄膜をゲート電極とする薄膜トランジスタアレーを有するアレー付き基板を構成し、一方一様な透明電

極を有する透明基板の電極面と上記アレー付き基板の電極面との間に表示媒体をはさみ込むことを特徴とするマトリクス^{表示}パネルの製造法。

3. 発明の詳細な説明

本発明はマトリクス表示パネルの製造法に関する。

液晶や電気泳動表示用分散系、エレクトロルミネッセンス層、エレクトロクロミック層等の表示媒体を利用して多素子のエーエマトリクス表示パネルを構成するには、クロストークを防止するために各素子に、MOS-FETや薄膜トランジスタ(TFT)のようなスイッチ素子、或いはダイオードやバリスタ等の非直線抵抗素子を導入する必要がある。

MOS-FETアレーはシリコンLSI技術がそのまま利用であるため確実な方法であるが、単結晶シリコンウェーハを使用するため大面積の表示パネルを構成し難いことやウェーハ自体およびプロセスが複雑になるため高価になるという欠点を有する。

バリスタ等非直線抵抗基板を用いるものは、やはり大面積の表示パネル或いは高解像度のマトリクスパネルを構成し難い欠点を有する。

薄膜トランジスタアレーは安価なガラス基板上に構成できかつ比較的大面積で高解像度のスイッチ素子アレーを形成できる利点を有するが、現状ではゲート絶縁膜として均一かつ安定なものが得難く、ゲートリークや特性の経時変化を生じ易い欠点がある。ゲート絶縁膜を厚くするとゲートリークは防止できるが、ゲート絶縁膜の厚みはTFTのオン電流値を直接左右し、膜厚が大になると必要なドレイン電流を得るためのゲート電圧が高くなってしまうため、低電圧駆動の表示パネルを構成し得ないことになってしまう。薄膜トランジスタにおいては、通常ゲート絶縁膜として、アルミナ、酸化イットリウム等金属酸化物や窒化シリコン、二酸化シリコン等が蒸着、スパッタ、CVD、グロー放電分解法等を用いた薄膜被着法によつて設けられるが、未だMOS-FETにおける、熱酸化して化学反応により形成した二酸化シリコンほど高

密で硬く絶縁耐力にすぐれた良質の膜が得られていないのが実情である。

TFTにおいてもゲート絶縁膜に安定なものを得るために、結晶シリコン基板上に熱酸化二酸化シリコン膜を形成してこれをゲート絶縁膜として利用する試みも報告されている(応用物理学会講演会 昭和54年秋季予稿集 325～326頁)。しかしこの場合も基板に結晶シリコンを使用しているため先に述べたMOS-FETアレーと同様サイズの制約および高コストという欠点が生じる。

本発明は均一性、安定性にすぐれた高解像度低コストの薄膜トランジスタアレーを利用したマトリクス表示パネルの製造法を提案するものである。

以下本発明の一実施例を図面に基づいて説明する。第1図において、耐熱性にすぐれた絶縁材料すなわちセラミツク、石英、合成石英、サファイア等の基板、或いはこれらの基板ないしセラブデン、タンタル、タングステン等の高融点金属基板にCVD法、スパッタリング法等により二酸化シリコン等絶縁膜を一様に被覆した基板、或いは低コ

ストシリコンウエーハに二酸化シリコン絶縁膜を設けた基板(1)上に、スパッタ、蒸着、CVD法等によりシリサイド薄膜を形成する。次にこのシリサイド薄膜をフォトリソエッチング等により第1図(a)に示すようなゲート電極および定電極となるシリサイドゲートバスバー電極(2)の形状にパターン化する。次いでパターン化されてシリサイドゲートバスバー電極(2)の形状となつた上記シリサイド薄膜の表面を熱酸化して第2図(a)(b)に示す通り二酸化シリコン膜(3)を成長させる。熱酸化は、ドライ酸素、ウェット酸素、水蒸気等の気流中で通常700°~1200℃に加熱することによつて露出したシリサイド膜表面を化学反応によつて直接絶縁物である二酸化シリコンに変えるものである。

本発明において、シリサイドとは、シリコンと金属の化合物合金をいい、金属(M)とSiの組成には、一般に M_2Si 、 MSi 、 MSi_2 の3つがある。本発明のシリサイドは、特に熱酸化膜を形成する必要から、高融点金属シリサイドを使用し、主として $TiSi_2$ 、 $TaSi_2$ 、 $MoSi_2$ 、 WSi_2 等が利用できる。

付加する場合がある。電極(5)或いは(6)はクロム、アルミ、ニクロム等の金属薄膜或いは酸化インジウム、酸化スズ等の透明導電膜が使用され、必要に応じて半導体層(4)と接する部分の電極材質とバスバーとなる電極(5)或いは給電領域の電極(6)の材質と異ならせる場合もある。

以上によつて、TFTアレーが構成された訳であるが、このままでは半導体層(4)が露出しており、表示媒体と直接接触することになるから、必要に応じてTFTのチャンネル領域或いは露出したソースバスバー電極(5)の上に半導体層(4)の特性変化を防止したり、信号電極に印加された電圧が直接表示媒体に印加されるのを防止する目的で無極或いは有極の絶縁膜より成る保護膜を設ける場合もある。

定電極であるゲートバスバー電極(2)と信号電極であるソースバスバー電極(5)は領域(7)において互いにクロスしているが、ゲートバスバー電極(2)の表面が二酸化シリコン絶縁膜(3)で覆われているため、絶性は保持される。また、より完全な絶

次に酸化カドミウム(CdO)、セレン化カドミウム($CdSe$)等の半導体層を、蒸着或いはスパッタで設けるなり、シランガスのグロー放電分解法或いはシリコンをターゲットとするリアクティブスパッタ法等により水素或いは弗素を導入したアモルファスシリコン半導体層を形成し、フォトリソエッチングにより第3図(a)(b)に示すようにゲート(2)の一部を覆うように半導体層(4)をパターン化する。勿論マスク等を用いてあらかじめ半導体層(4)をパターン状に設けてもよい。ただし、反射型表示装置の場合は半導体層(4)はパネル周辺にあるゲート信号印加用端子部を除いて全面に設けられている場合もある。

次にソース電極およびマトリクス表示パネルの信号電極となるソースバスバー電極(5)およびドレイン電極ならびに給電電極となる電極(6)を第4図(a)(b)に示すような形状に設けることによつてTFTアレーが形成される。勿論半導体層(4)を設けてのち或いはソース、ドレイン電極等を設けたのちTFTの特性向上、安定化等のために熱処理工程を

施す必要がある場合には、上記電極(5)(6)を形成する以前に別途クロスオーバー用絶縁膜を第4図(a)の領域(7)に設けてもよい。

以上のようにして完成したTFTアレーを有する基板(4)と酸化スズ或いは酸化インジウム等の一様な透明電極を有する別の透明基板との間に、液晶、電気泳動表示用分散系、エレクトロクロミック層、エレクトロルミネッセンス層等の表示媒体をはさみ込むことによつて各給電にTFT素子が導入されたマトリクス表示パネルが完成する。勿論液晶等の場合は、液晶分子をあらかじめ所定の向きに配向させるため、給電電極(6)および透明基板の透明電極の表面は配向膜等を設けることによつて配向処理したのち、液晶をはさみ込む必要がある。

上記透明電極を例えば接地電位に保ち、定電極であるゲートバスバー電極(2)と信号電極であるソースバスバー電極(5)にTFTをオンさせるに相当な電気信号を印加すると、給電電極であるドレイン電極(6)と透明電極との間にはさまれた表示媒体に電圧が印加されたことになり、表示パネルとし

て作動することになる。

なお、シリサイドよりなるゲートバスバー電極(2)の導電性をより高める必要がある場合には、あらかじめ基板(1)の上に耐熱性にすぐれたモリブデン、タングステン等の金属導電膜を一様に形成したのち、シリサイド薄膜を積層し、第1図(a)の(2)に示すようにシリサイド薄膜は勿論、その下の金属導電膜も該シリサイド薄膜と同一形状にパターン化しておけば、ゲートバスバー電極(2)の高導電性は確保できる。

上記の例では、あらかじめシリサイド薄膜をゲートバスバー状パターンに形成したのち、この表面を熱酸化する例について述べたが、本発明はこの方法に限られるものではない。すなわち基板(1)の上にシリサイド薄膜を一様に形成するとともに、パターン化することなく、該シリサイド薄膜表面全面を一様に熱酸化し、次いで熱酸化二酸化シリコン膜をフォトリソエッチングによりパターン化し、さらにその下のシリサイド薄膜をパターン化することによつて、第2図(a)に示すようなシリサイド

薄膜と熱酸化二酸化シリコン膜よりなる積層パターンを構成することもできる。この場合、シリサイド薄膜は、熱酸化二酸化シリコン膜より若干内側に入るように、すなわち若干シリサイド薄膜のサイドエッチが進行するまでエッチングしておく方がクロスオーバー部およびゲート部での耐リーク性を保証できる。いずれの場合もシリサイドよりなるゲートバスバー電極(2)はパネル端部においても熱酸化二酸化シリコン膜(3)で覆われているため、ゲートに電圧を印加するための端子部分の熱酸化二酸化シリコン膜をエッチング除去する必要がある。成いはあらかじめ熱酸化二酸化シリコン膜(3)を形成に先立つてシリサイドゲートバスバー電極(2)の一部と接するようにゲート信号印加用端子部を熱硬化しないモリブデン、タングステン等の金属薄膜で覆っておけば、熱酸化二酸化シリコン膜(3)のエッチングは省略できる。

以上述べた表示パネルでは、絵素と並列な蓄積容量を設けないものであつた。しかし、TFTアレーを用いた表示装置では、表示媒体の誘電率定数

TFT素子のオフ抵抗、TFTと絵素の電気容量の比等に依存するが、絵素と並列な蓄積容量が必要な場合が生じる。この蓄積容量は、ゲートに走査信号が印加され、このゲートに連なるTFTがオンしたとき、走査期間中だけ絵素に信号を印加するのではなく、走査終了後も絵素に信号が持続して印加され、実効的な duty 比を上げるために設けるものである。

本発明におけるシリサイドゲートバスバー電極(2)を用いたTFTアレーでは、蓄積容量の形成は極めて容易であり、第1図(a)のゲートパターンに追加して蓄積容量の一方向の電極となるシリサイド共通電極(4)を第5図に示すように設けておけばよい。このようにすれば、シリサイドゲートバスバー電極(2)の表面を熱酸化して二酸化シリコン膜を形成するとき、同時にシリサイド共通電極(4)の表面にも二酸化シリコン膜が形成されるので、これが蓄積容量のための誘電体層として使用できることになる。

以後は、前述したのと同じ工程で、共通電極(4)

の上の熱酸化二酸化シリコン膜上に絵素電極(6)が形成されたとき、シリサイド共通電極(4)、該シリサイド共通電極(4)上の熱酸化二酸化シリコン膜、その上の絵素電極(6)により構成される蓄積容量が各絵素に形成されることになる。第5図から明らかなように、シリサイド共通電極(4)はシリサイドゲートバスバー電極(2)と平行に設置されており、共通には接続されていない。すべての共通電極(4)を電気的に接続するには、熱酸化二酸化シリコン膜を形成したのち、熱酸化二酸化シリコン膜の除去された部分ないしは高融点金属よりなる接続端子部(4)をソースないしはドレイン電極を形成するときに第5図の点線で示すように金属等の導電性接続薄膜(4)でつないでしまう必要がある。またシリサイドゲートバスバー電極(2)のゲート入力端子部(4)の上には熱酸化二酸化シリコン膜はないが、シリサイドゲートバスバー電極(2)と接続薄膜(4)が交叉するクロスオーバー領域(4)の上には熱酸化二酸化シリコン膜が覆われているから、クロスオーバー絶縁性は保証される。パネル使用時には、シ

リサイド共通電極のすべてが接統電極⁽²⁾を介して接統された共通電極引き出し端子⁽⁴⁾を表示パネルの前記透明電極と電気的に接統してしまえばよい。

上記説明においては、TFTには遮光層を設けていない。一般にTFTに使用する半導体層⁽⁴⁾は光導電性を有し、例えばTFTのオン、オフ抵抗が光の照射量に応じて変わる場合がある。これを避けるために通常TFT領域は遮光層を設けて光の影響を受けないようにするのが実用上望ましい。先に述べたTFT保護層が遮光層を兼ねることが好ましいが、保護層の上から、少なくとも給索領域を除いて、光吸収性ないし光反射性の遮光層を設けるのがよい。遮光層はまた給索領域を除いた透明電極の表面に設けてもよい。遮光層としては、金属薄膜、酸化クロム等の光吸収性黒色膜、着色樹脂膜等が使用できる。

以上本発明は、耐熱性絶縁基板を用いて、ゲートならびにゲートバスバー電極を基本的にはシリサイド薄膜で構成したことによつて、ゲート絶縁

膜として良質の熱酸化二酸化シリコン膜を使用できることになり、信頼性、安定性にすぐれたTFTアレーの構成が可能となつた。

基板が通常のセラミックス或いは石英、高融点金属板或いは低コストシリコン板等の材料であるから、高品質のシリコン結晶を用いる従来のMOS-TFTアレー等と違って、比較的大面積の表示パネルを低コストで製造できる特徴がある。一方ゲート絶縁膜とクロスオーバー絶縁膜を基本的には同時に形成できるため、工程が簡単であり、製造コスト上有利である。

ゲートが基板側にあるTFTは従来より、逆スタフゲート型と呼ばれているものであるが、従来はゲートにクロムやアルミなどの金属薄膜が使用され、ゲート絶縁膜は、ゲート金属を陽極酸化するか、ないしは絶縁膜を別途蒸着やスパッタ等により被着する方法がとられており、どうしても熱酸化二酸化シリコン膜ほどには、薄くてもなお電気的、化学的に安定で信頼性にすぐれたゲート絶縁膜にはなり得なかつた。結晶シリコン基板を用い

てその上に成長させた熱酸化二酸化シリコン膜をゲート絶縁膜として利用する試みは先にも述べた通り既に報告されているが、TFTアレーを構成するには、ゲートを走査線ごとに電気的に分離しなければならないこと、および高品質結晶シリコンを使用するために、コストやパネルサイズの点に難点があつた。本発明によれば、これらはすべて解消されたことになる。

なお、本発明は平坦性にすぐれた耐熱性基板を使用しなければならないという制約を有するが、1000℃近い高温プロセスを経るのは、基本的にはシリサイド表面に熱酸化二酸化シリコン膜を成長させる工程のみであり、表示パネルの製造工程はさわめて単純であり、低コスト化に大きく寄与するものである。

4. 図面の簡単な説明

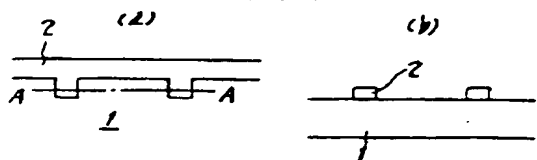
第1図(a)(b)〜第4図(a)(b)は本発明のマトリクス表示パネル用TFTアレー製造プロセスの一実施例を示し、(a)は部分正面図、(b)は(a)のA-A断面図、第5図は本発明のマトリクス表示パネルに並列存

在を導入する場合の電極構成の一実施例を示す部分正面図である。

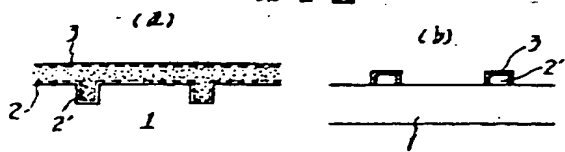
(1)…耐熱性基板、(2)…シリサイドゲートバスバー電極(走査電極)、(3)…シリコンゲート、(3)′…熱酸化二酸化シリコン膜、(4)…半導体層、(5)…ソースバスバー電極(信号電極)、(6)…ドレイン電極(給索電極)、(7)…クロスオーバー領域、(10)…TFTアレー付き基板、(11)…シリサイド共通電極、(20)…接統端子、(21)…接統薄膜、(22)…ゲート入力端子、(24)…クロスオーバー領域、(25)…共通電極引き出し端子

代理人 森 本 義 弘

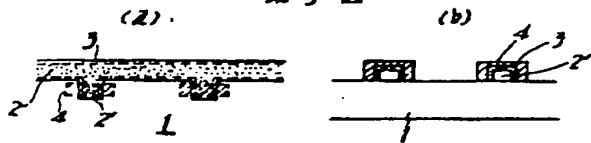
第1図



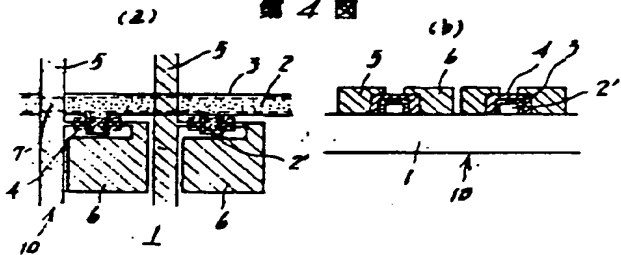
第2図



第3図



第4図



第5図

